



English Translation of JP 05-42488

(19) Japanese Patent Office (JP)

(11) Publication Number: Hei 05-42488

(24)(44)

~~(43) Date of publication of application: August 1, 1987~~ Published: October 26, 1993

(12) Utility Model Gazette (Y2)

(51) Int.Cl.⁵

G 05 F 1/56

H 03 F 3/343

H 03 K 19/00

The Number of Pages: 6

(21) Application number: Sho 61-10861

(22) Date of filing: January 28, 1986

(71) Applicant: Sony Corporation

6-7-35 Kitashinagawa, Shinagawa-ku,
Tokyo 141-0001, Japan

(72) Creator of the Device: Mitsuo Soneda

c/o Sony Corporation
6-7-35 Kitashinagawa, Shinagawa-ku,
Tokyo 141-0001, Japan

(74) Representative: Patent attorney:

Hidemori Matsukuma

(54) [Title of the Device]

CURRENT SOURCE CIRCUIT

(57) [Claim of Utility Model]

A current source circuit comprising:

a constant current source as a reference;

a capacitor element which is connected between a gate and a reference voltage terminal and a plurality of insulated gate field-effect transistors which provides a first

switching means connected between a drain and the gate;

a circuit network; and

a second switching means which can switch over the drain of the plurality of insulated gate field-effect transistors to either one terminal of the constant current source or a terminal provided on the circuit network side corresponding to the insulated gate field-effect transistors,

wherein one of the second switching means is switched over to the constant current source side during the non-operation period of the circuit network;

a reference current from the constant current source as a reference flows between one corresponding drain and source among the insulated gate field-effect transistors by closing one of the first switching means which corresponds to one of the second switching means during the period when one of the second switching means is switched over to the constant current source side;

the gates of the plurality of insulated gate field-effect transistors are sequentially biased so that the constant reference current flows through them by repeating bias operation of one corresponding gate electrode among the plurality of insulated gate field-effect transistors by charging one corresponding capacitor element among the capacitor elements;

all the first switching means are opened during the operation period of the circuit network; and

a plurality of constant currents are supplied to the circuit network by connecting at least one switching means among the second switching means to one terminal provided on the circuit network side for a predetermined period.

Detailed Description of the Device

[Industrial Field for the Device]

The present device relates to a current source circuit for supplying a predetermined current to an arbitrary portion in a circuit network.

[Summary of the Device]

The device relates to a current source circuit and it is a general purpose of the device to supply a predetermined current without fluctuation to a circuit network by

supplying a current from a reference current source to an active element during an arbitrary period so that the charge corresponding to this current is stored in the active element and generating a current based on the stored charge when desired.

[Prior Art]

Conventionally, a current mirror circuit as shown in FIG. 6 is often used as a current source circuit for supplying a predetermined current to an arbitrary portion in the circuit network.

Namely, in the FIG. 6, a current I_0 from a constant current source 1 is supplied to a MOS element M_0 configuring a diode side of the current mirror circuit. Currents I_1, I_2, \dots obtained at MOS elements M_1, M_2, \dots configuring a transistor side of the current mirror circuit are supplied to each portion in the circuit network 100.

When elements are transistors in this circuit, the currents I_1, I_2, \dots are equal to the current I_0 , however, when elements are MOS elements, the currents I_0, I_1, I_2, \dots are not equal to each other because of the fluctuation of each element. That is, a current between a drain and source of a MOS element, I_{DS} is established as follows.

$$I_{DS} = k \cdot \frac{W}{L} (V_{GS} - V_{th})$$

Note that, k is a constant number,

L is a channel length,

W is a channel width,

V_{GS} is a voltage between a source and gate, and

V_{th} is a threshold voltage.

It is confirmed that L, W , and V_{th} are easily fluctuated due to manufacturing problems of MOS elements.

Therefore, as the currents I_0, I_1, I_2, \dots are not equal to each other due to this fluctuation, predetermined currents can not be supplied to each portion in the circuit network 100.

[Problems to be Solved by the Device]

In the above-mentioned conventional technology, the currents I_0, I_1, I_2, \dots could not be equal to each other due to the fluctuation of MOS elements.

[Means for Solving the Problems]

It is an object of the device to provide a current source circuit which is connected to the circuit network 100:

wherein active elements M_1, M_2, \dots are provided;

capacitor components C_1, C_2, \dots are provided between gates and sources of the active elements M_1, M_2, \dots ;

switches W_1, W_2, \dots are provided between drains and gates of the active elements M_1, M_2, \dots ;

the drains of the active elements M_1, M_2, \dots are connected to movable contacts of change-over switches S_1, S_2, \dots ;

first fixed contacts of the change-over switches S_1, S_2, \dots are connected to the circuit network 100;

second fixed contacts of the change-over switches S_1, S_2, \dots are connected to a predetermined reference current source 1;

the change-over switches S_1, S_2, \dots are switched over to the second fixed contact side during an arbitrary period and the switches W_1, W_2, \dots are turned ON, whereby

a reference current I_0 flows into the active elements M_1, M_2, \dots from the reference current source 1 and the charge corresponding to the reference current I_0 is charged in the capacitor components C_1, C_2, \dots ;

the change-over switches S_1, S_2, \dots are switched over to the first fixed contacts side during the desired period and the switches W_1, W_2, \dots are turned OFF, whereby

currents I_1, I_2, \dots which are based on the charge charged in the capacitor components C_1, C_2, \dots are applied to the active elements M_1, M_2, \dots so that the currents I_1, I_2, \dots are supplied to the circuit network 100.

[Operation]

According to the device, a predetermined current without fluctuation can be supplied to a circuit network by storing a reference current in an active element and a capacitor component during an arbitrary period and generating the stored current when desired.

[Example of the Device]

In FIG. 1, capacitors C_1, C_2, \dots are connected between the sources and gates of MOS elements M_1, M_2, \dots , and switches W_1, W_2, \dots are connected between the drains and gates of the MOS elements M_1, M_2, \dots . Further, the drains of the MOS elements M_1, M_2, \dots are connected to movable contacts of change-over switches S_1, S_2, \dots , first fixed contacts of the change-over switches S_1, S_2, \dots are connected to a circuit network 100, and second fixed contacts of the change-over switches S_1, S_2, \dots are connected to a constant current source 1 as a reference.

As shown in FIG. 2B, the change-over switches S_1, S_2, \dots are sequentially switched over to the constant current source 1 side during the blanking period in the operation of the circuit network 100 which is shown in FIG. 2A, and further the switches W_1, W_2, \dots are sequentially turned ON as shown in FIG. 2C.

By the above operation, when the change-over switch S_1 , for example, is switched over to the constant current source 1 side during the blanking period and the switch W_1 is turned ON, a current I_0 from the constant current source 1 is supplied through the MOS element M_1 , and further the charge is accumulated in a capacitor C_1 so that the current I_0 is supplied through the MOS element M_1 . On the other hand, when the switch W_1 is turned OFF during the operation period and the change-over switch S_1 is switched over to the circuit network 100 side, the MOS element M_1 is biased according to the charging potential of the capacitor C_1 , and the current I_0 keeps flowing between the source and drain of the MOS element M_1 , thus the circuit network 100 receives the current I_0 . The same operations are sequentially conducted in other MOS elements M_2, M_3, \dots .

In this manner, a predetermined current can be constantly supplied to each portion in the circuit network. This is because, according to the above-mentioned circuit, as the current from the constant current source is stored and the stored current is supplied to the circuit, the current supplied does not come under the influence of fluctuations and the like of the elements.

Meanwhile, according to the above circuit, fluctuations due to the temperature characteristics and the like of the elements can be removed and the generation of, what is called, $1/f$ noise can be suppressed by repeatedly storing the currents from the constant current source every predetermined period.

Examples of other circuits will be hereinafter explained.

Shown in FIG. 3 is a configuration view in the case where the above circuit is applied to a DA converter. In this case, currents of accurate scale factors of I_0 , $2I_0$, $4I_0$, ... are required. Therefore, current sources of each current I_0 are formed by employing the above-mentioned configuration as shown in FIG. 3. Incidentally, a terminal T_1 is set so as to receive the current I_0 from a MOS element M_{11} , a terminal T_2 is set so as to receive the current $2I_0$ from MOS elements M_{21} and M_{22} , and a terminal T_3 is set so as to receive the current $4I_0$ from MOS elements M_{31} to M_{34} . In this example, the current I_0 of each current source does not come under the influence of fluctuations and the like of the elements as well as the case shown in FIG. 1. Therefore, the currents of the accurate scale factors of I_0 , $2I_0$, $4I_0$, ... can be obtained and a multi-bit DA converter with high precision can be realized. Note that, in FIG. 2, the above-mentioned capacitors C_1 and C_2 , ... are omitted because capacitor components between the sources and gates and between the channels and gates of the MOS elements can substitute for them.

Shown in FIG. 4 is a configuration view in which the above circuit is applied to the case where a circuit has numbers of portions which receive currents and thus cannot form all the currents within the blanking period. In this example, the currents from the constant current source 1 is each stored in MOS elements M_a , M_b , ... during the operation period, and the currents from the MOS elements M_a , M_b , ... are each stored in MOS elements M_{a1} , M_{a2} , ... and M_{b1} , M_{b2} , ... during the blanking period. Therefore, terminals T_{a1} , T_{a2} , ... and T_{b1} , T_{b2} , ... can respectively receive the currents I_0 from all the MOS elements M_{a1} , M_{a2} , ... and M_{b1} , M_{b2} ,

Further, shown in FIG. 5 is a configuration view in which the above circuit is applied to the case where a problem occurs when the current of the circuit network becomes 0 during the blanking period. In FIG. 5, a current I_{00} ($\approx I_0$) from a constant current source 10 is supplied to a MOS element M_{00} configuring a diode side of a current mirror circuit, and MOS elements M_{01} , M_{02} , ... configuring a transistor side of the current mirror circuit are connected to the terminals T_1 , T_2 , ... via switches S_{01} , S_{02} , Further, by turning ON the switches S_{01} , S_{02} , ... during the blanking period, currents corresponding to the current I_{00} can be supplied to each portion in the circuit network 100.

Note that, in this circuit, a reference current may be stored by using the capacitor components as above in the constant current source 10 and the systems of the MOS elements M_{00}, M_{01}, \dots . Such circuits can be also realized by connecting the terminals T_{a1} and T_{b1} , and the terminals T_{a2} and T_{b2} , ... to each other and alternately operating the systems of suffix a and the systems of suffix b in FIG. 4. By this method, a predetermined current can be constantly supplied to a circuit network without blanking period.

[Effect of the Device]

According to the present device, a predetermined current without fluctuations can be supplied to a circuit network by storing a reference current in an active element and a capacitor component during an arbitrary period, and generating the stored current when desired.

4. Brief Description of the Drawings

FIG. 1 is a configuration view of an example of the present device, FIGS. 2 to 5 are views for the explanation of the FIG. 1, and FIG. 6 is a configuration view for the explanation of the prior art.

1 is a reference current source, 100 is a circuit network, M is a MOS element, and C is a capacitor.

⑫ 実用新案公報(Y2)

平5-42488

⑬ Int. Cl.

G 05 F 1/56

識別記号

3 1 0 S
3 1 0 K
3 1 0 V
3 1 0 E
A
A

庁内整理番号

4237-5H
4237-5H
4237-5H
4237-5H
8124-5J
8941-5J

⑭ 公告 平成5年(1993)10月26日

H 03 F 3/343

H 03 K 19/00

(全6頁)

⑮ 考案の名称 電流源回路

⑯ 実 願 昭61-10861

⑰ 公 開 昭62-122488

⑱ 出 願 昭61(1986)1月28日

⑲ 昭62(1987)8月4日

⑳ 考 案 者 曾 根 田 光 生

東京都品川区北品川6丁目7番35号 ソニー株式会社内

㉑ 出 願 人 ソニー株式会社

東京都品川区北品川6丁目7番35号

㉒ 代 理 人 弁理士 松隈 秀盛

審 査 官 小 池 正 彦

1

2

㉓ 実用新案登録請求の範囲

基準となる定電流源と、

ゲートと基準電圧端子との間に接続された容量素子と、ドレインとゲート間に接続された第1のスイッチング手段とを具えた複数の絶縁ゲート電

界効果トランジスタと、

回路網と、

上記複数の絶縁ゲート電界効果トランジスタのドレインが、上記定電流源の一方の端子、または上記電界効果トランジスタに対応して上記回路網

側に設けられた端子の何かに切り換え可能な第2のスイッチング手段とからなり、

上記回路網の非動作期間内に上記第2のスイッチング手段の1つを上記定電流源側に切り換え、この上記第2のスイッチング手段の1つが上記定電流源側に切り換えられている期間内に、上記第2のスイッチング手段の1つに対応する上記第1のスイッチング手段の1つを閉じることにより、上記絶縁ゲート電界効果トランジスタの内対応する1つのドレインとソース間に上記基準となる定電流源からの基準電流を流し、上記容量素子の内対応する1つを充電することにより、上記複数の絶縁ゲート電界効果トランジスタの内対応する1つのゲート電極をバイアスする動作を順次繰り返すことにより、上記複数の絶縁ゲート電界効果トランジスタのゲートを一定の基準電流が流れる様

に順次バイアスし、

上記の回路網の動作期間には上記第1のスイッチング手段は全て開放され、上記第2のスイッチング手段の内少なくとも1つは上記回路網側に設けられた端子の1つに所定期間接続されることにより、上記回路網に複数の定電流を供給するようにした電流源回路。

考案の詳細な説明

〔産業上の利用分野〕

本考案は、回路網の任意の箇所に所定の電流を供給するための電流源回路に関する。

〔考案の概要〕

本考案は電流源回路に関し、任意の期間に基準電流源からの電流を能動素子に供給し、この電流に応じた電荷を能動素子に記憶させ、所望時にこの記憶された電荷に基づいて電流を発生させることにより、ばらつきのない所定の電流を回路網に供給できるようにするものである。

〔従来の技術〕

回路網の任意の箇所に所定の電流を供給するための電流源回路としては、従来は第6図に示すようなカレントミラー形の回路が多く用いられている。

すなわち図において、定電流源1からの電流 I_0 がカレントミラーのダイオード側を構成するMOS素子 M_0 に供給され、このカレントミラーの

トランジスタ側を構成するMOS素子 M_1, M_2, \dots に得られる電流 I_1, I_2, \dots が回路網100の各部に供給される。

ところがこの回路において、素子がトランジスタの場合は各部の電流 I_1, I_2, \dots は電流 I_0 と一致するので問題ないが、上述のようにMOS素子を用いている場合には各素子のばらつきによつて電流 I_0, I_1, I_2, \dots が一致しなくなる。すなわちMOS素子のドレインソース電流 I_{ds} は

$$I_{ds} = k \cdot \frac{W}{L} (V_{gs} - V_{th})$$

但し、 k は定数

L はチャンネル長

W はチャンネル幅

V_{gs} はソースゲート間電圧

V_{th} はスレシヨルド電圧

で与えられ、ここでMOS素子の製造上の問題から L, W, V_{th} にばらつきを生じ易い。

従つてこのばらつきによつて、電流 I_0, I_1, I_2, \dots が互いに不一致となり、回路網100の各部に所定の電流を供給することができなかつた。

〔考案が解決しようとする問題点〕

上述した従来の技術では、MOS素子のばらつきによつて、電流 I_0, I_1, I_2, \dots を一致させることができない問題点があつた。

〔問題点を解決するための手段〕

本考案は、回路網100に接続される電流源回路において、能動素子 M_1, M_2, \dots が設けられ、この能動素子 M_1, M_2, \dots のゲートソース間に容量成分 C_1, C_2, \dots が持たせられ、上記能動素子 M_1, M_2, \dots のドレインゲート間にスイッチ W_1, W_2, \dots が設けられると共に、上記能動素子 M_1, M_2, \dots のドレインが切換スイッチ S_1, S_2, \dots の可動接点に接続され、この切換スイッチ S_1, S_2, \dots の第1の固定接点が上記回路網100に接続されると共に、上記切換スイッチ S_1, S_2, \dots の第2の固定接点が所定の基準電流源1に接続され、任意の期間に上記切換スイッチ S_1, S_2, \dots が第2の固定接点側に切換られ上記スイッチ W_1, W_2, \dots がオンされることによつて、上記基準電流源1から基準電流 I_0 が上記能動素子 M_1, M_2, \dots に流されこの基準電流 I_0 に応じた電荷が上記容量成分 C_1, C_2, \dots に充電されると共に、所望の期間に上記切換スイッチ S_1, S_2, \dots が第1の固定接点側に切換られ上記スイッチ W_1, W_2, \dots

…がオフされることによつて、上記容量成分 C_1, C_2, \dots に充電された電荷に基づく電流 I_1, I_2, \dots が上記能動素子 M_1, M_2, \dots に流されこの電流 I_1, I_2, \dots が上記回路網100に供給されるようにした電流源回路である。

〔作用〕

これによれば、任意の期間に基準電流を能動素子及び容量成分に記憶し、所望時この記憶された電流を発生することにより、ばらつきのない所定の電流を回路網に供給することができる。

〔実施例〕

第1図において、MOS素子 M_1, M_2, \dots のゲートソース間にコンデンサ C_1, C_2, \dots が接続され、ドレインゲート間にスイッチ W_1, W_2, \dots が接続される。さらにMOS素子 M_1, M_2, \dots のドレインが切換スイッチ S_1, S_2, \dots の可動接点に接続され、この切換スイッチ S_1, S_2, \dots の第1の固定接点が回路網100に接続されると共に、第2の固定接点が基準の定電流源1に接続される。

そしてこの回路において、第2図Aに示す回路網100の動作のブランキング期間に、同図Bに示すように切換スイッチ S_1, S_2, \dots を順次定電流源1側に切換え、さらに同図Cに示すようにスイッチ W_1, W_2, \dots を順次オンさせる。

これによつてブランキング期間に例えば切換スイッチ S_1 が定電流源1側に切換えられ、スイッチ W_1 がオンされると、定電流源1からの電流 I_0 がMOS素子 M_1 を通じて流され、さらにこの電流 I_0 が流されるようにコンデンサ C_1 に充電が行われる。そして動作期間にスイッチ W_1 がオフされ、切換スイッチ S_1 が回路網100側に切換えられると、MOS素子 M_1 はコンデンサ C_1 の充電電位によつてバイアスされ、MOS素子 M_1 のソースドレイン間には I_0 の電流が流され続ける。この電流 I_0 が回路網100に供給される。さらに他のMOS素子 M_2, M_3, \dots についても同様の動作が順次行われる。

こうして回路網の各所に所定の電流を供給できるわけであるが、上述の回路によれば、定電流源からの電流が記憶され、この記憶された電流が供給されるので、この供給される電流に素子のばらつき等の影響がでることがなく、常に所定の電流を供給することができる。

また上述の回路によれば、定電流源からの電流

の記憶を所定期間ごとに繰り返すことによって、温度特性等による変動も除去することができ、いわゆる $1/f$ ノイズの発生も抑圧することができる。

さらに以下に他の回路の例を説明する。

まず第3図はDAコンバータに应用する場合であつて、この場合には I_0 , $2I_0$, $4I_0$ …の倍率の正確な電流が必要になる。そこで図示のように上述の構成でそれぞれ電流 I_0 の電流源を形成すると共に、MOS素子 M_{11} から電流 I_0 を端子 T_1 に、MOS素子 M_{21} , M_{22} から電流 $2I_0$ を端子 T_2 に、MOS素子 M_{31} ~ M_{34} から電流 $4I_0$ を端子 T_3 に、以下同様に各倍率の電流を各端子にそれぞれ取出すようにする。この例においても、各電流源の電流 I_0 が素子のばらつき等に影響されないで、正確な倍率の I_0 , $2I_0$, $4I_0$ …の電流を得ることができ、これによつて精度の高い、多ビットのDAコンバータを実現できる。なおこの図において、上述のコンデンサ C_1 , C_2 …はMOS素子のソースゲート間及びチャネルゲート間の容量成分で代用可能なので、図では省略して示す。

また第4図は、上述の回路で電流の供給される箇所が多くブランキング期間内に全ての電流を形成することができない場合に適用されるもので、この例では定電流源1からの電流が動作期間にMOS素子 M_{a1} , M_{a2} …の回路に記憶され、さらにブランキング期間に各MOS素子 M_{a1} , M_{a2} …から電流がそれぞれMOS素子 M_{b1} , M_{b2} …の回路に記憶される。これによつても全てのMOS素子 M_{a1} , M_{a2} …, M_{b1} , M_{b2} …からの電流 I_0 をそれぞれの端子 T_{a1} , T_{a2} … T_{b1} , T_{b2} …に得ることができる。

さらに第5図はブランキング期間に回路網の電流が0になると問題がある場合に適用されるもの

で、図示のように定電流源10からの電流 I_{00} ($\sim I_0$) をカレントミラーのダイオード側を構成するMOS素子 M_{00} に供給すると共に、このカレントミラーのトランジスタ側を構成するMOS素子 M_{01} , M_{02} …をスイッチ S_{01} , S_{02} …を介して端子 T_1 , T_2 …に接続する。そしてこの回路においてブランキング期間にスイッチ S_{01} , S_{02} …をオンさせることにより、この期間は電流 I_{00} に相当する電流を回路網100の各所に供給することができる。

なおさらにこの回路において、定電流源10及びMOS素子 M_{00} , M_{01} …の系においても上述と同様に容量成分を用いて基準電流を記憶させるようにしてもよい。そのような回路は上述の第4図の回路において端子 T_{a1} と T_{b1} , T_{a2} と T_{b2} …を互いに接続し、サフィックス a の系及び b の系を交互に動作させることによつても実現することができる。これによればブランキング期間のない回路網に対しても常に所定の電流を供給することができる。

〔考案の効果〕

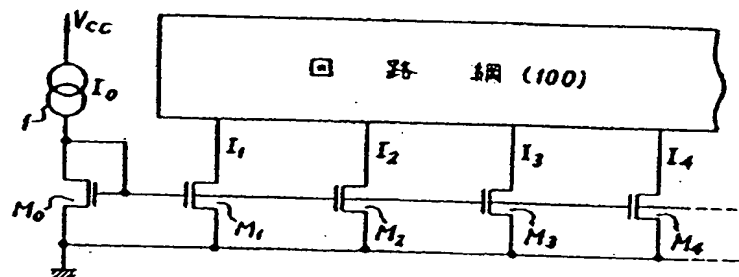
この考案によれば、任意の期間に基準電流を能動素子及び容量成分に記憶し、所望時この記憶された電流を発生することにより、ばらつきのない所定の電流を回路網に供給することができるようになった。

図面の簡単な説明

第1図は本考案の一例の構成図、第2図～第5図はその説明のための図、第6図は従来の技術の説明のための図である。

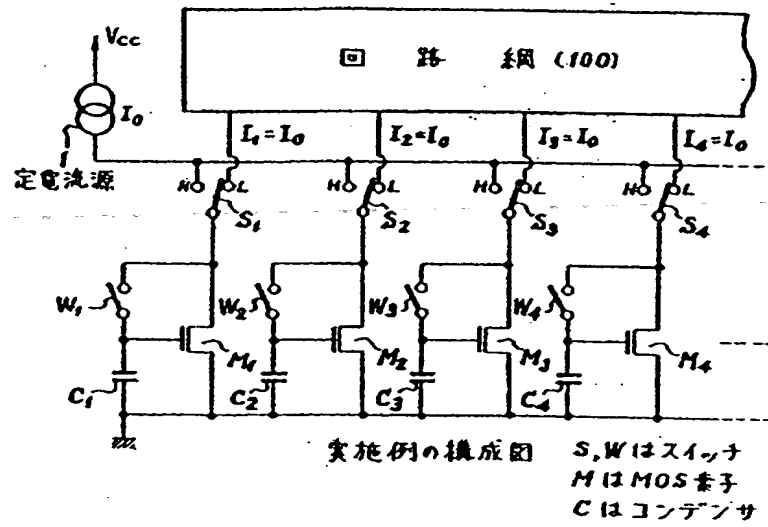
1は基準電流源、100は回路網、MはMOS素子、S、Wはスイッチ、Cはコンデンサである。

第6図

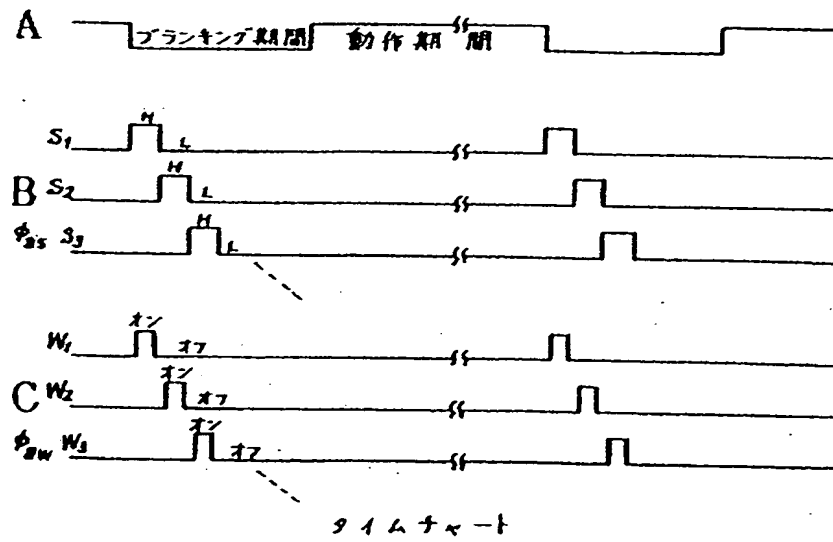


従来の構成図

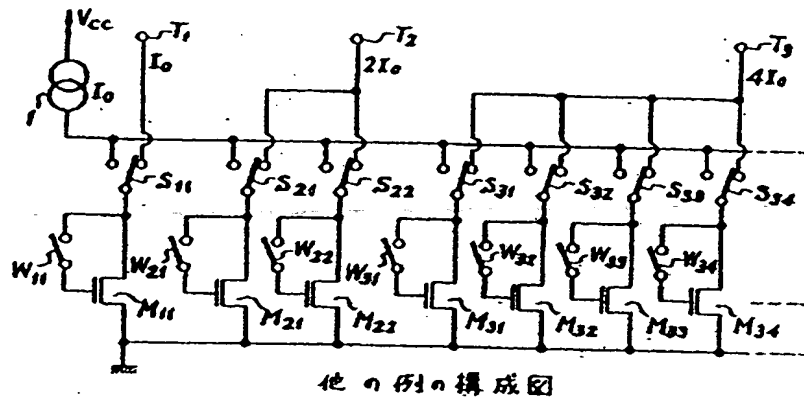
第1図



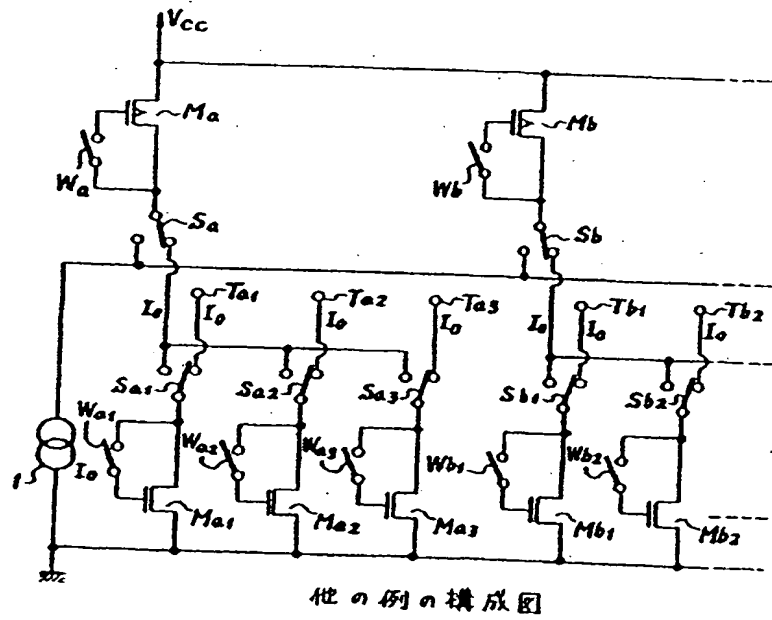
第2図



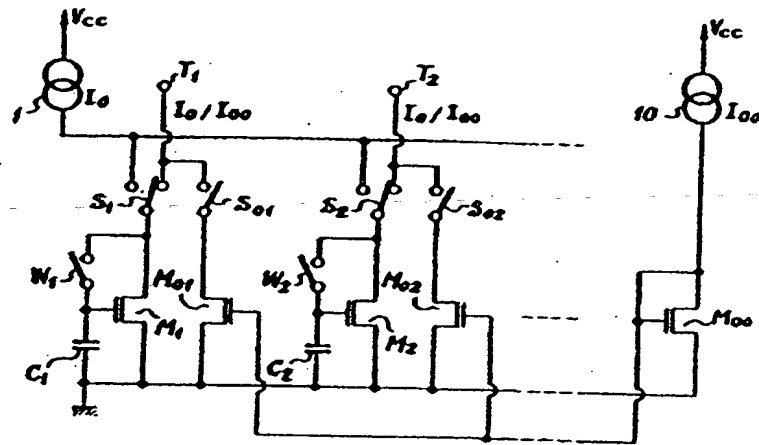
第3図



第4図



第5図



他の例の構成図